

2000P20722

B2

(19) RÉPUBLIQUE FRANÇAISE  
INSTITUT NATIONAL  
DE LA PROPRIÉTÉ INDUSTRIELLE  
PARIS

(11) N° de publication :  
(à n'utiliser que pour les  
commandes de reproduction)

2 620 862

(21) N° d'nr gistroement national :

87 13094

(51) Int Cl<sup>a</sup> : H 01 L 23/52, 23/02, 29/78.

(12)

## DEMANDE DE BREVET D'INVENTION

A1

(22) Date de dépôt : 17 septembre 1987.

(30) Priorité :

(43) Date de la mise à disposition du public de la  
demande : BOPI « Brevets » n° 12 du 24 mars 1989.

(60) Références à d'autres documents nationaux appa-  
rentés :

(71) Demandeur(s) : THOMSON SEMICONDUCTEURS, so-  
ciété anonyme. — FR.

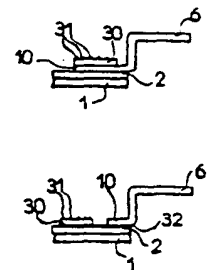
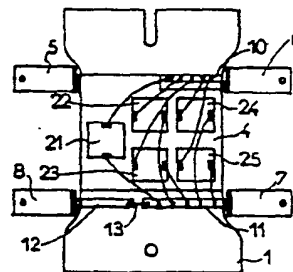
(72) Inventeur(s) : André Lhorte.

(73) Titulaire(s) :

(74) Mandataire(s) : Michel de Beaumont.

(54) Montage en parallèle de transistors MOS de puissance.

(57) La présente invention concerne un montage en parallèle de puces de transistors MOS de puissance en boîtier unique puissance dans un boîtier unique, comprenant une embase métallique 1 sur laquelle est brasée une plaquette thermiquement conductrice et électriquement isolante 2 sur laquelle sont brasés, d'une part, une plaque métallique 4 munie d'une cosse d'électrode de drain 5 sur laquelle sont brasées les faces arrière de drain desdites puces, d'autre part, des prolongements 10, 11 de cosse de grille 6 et de source 7 auxquelles sont reliées par des fils les zones de grille et de source desdites puces. Le prolongement 10 de cosse de grille est électriquement relié à la face arrière d'un élément semiconducteur 30 dont la face avant comprend plusieurs zones métallisées 31 auxquelles sont respectivement reliés les fils de grille, ledit élément formant une même résistance entre chacune des zones métallisées et sa face arrière.



R 2 620 862 - A1

MONTAGE EN PARALLÈLE DE TRANSISTORS MOS DE PUISSANCE

La présente invention concerne un montage en parallèle de puces de transistors MOS de puissance en boîtier unique.

Ces dernières années, les transistors à effet de champ à métal-oxyde-semiconducteur (MOSFET) de puissance ont été de plus en plus utilisés. Toutefois, la puissance de ces composants individuels est inévitablement limitée et, dans certaines applications, on cherche à placer en parallèle plusieurs tels transistors MOSFET.

10 Cette utilisation se heurte à un problème majeur, à savoir la destruction aléatoire des composants. Ceci est dû à des oscillations parasites haute fréquence (de l'ordre de la centaine de MHz) qui ont pour effet de percer l'oxyde de grille de ces transistors MOSFET lorsque leur amplitude est supérieure à la tension de claquage de l'oxyde.

15 Il est maintenant connu que, pour éviter ce phénomène, il convient de placer en parallèle sur la connexion de grille de chaque transistor MOS une résistance de valeur appropriée. Cette solution s'avère satisfaisante pour des associations en parallèle de transistors MOS discrets.

20 Toutefois, les utilisateurs ont souhaité que les fabricants leur fournissent directement dans un boîtier unique des montages de transistors en parallèle avec le nombre classique d'accès aux électrodes, c'est-à-dire au maximum quatre cosses, l'une pour le drain, la seconde pour la grille, la troisième pour la source  
25 et la quatrième, habituellement, pour un deuxième accès à l'une de ces électrodes. Dans ce but, on a prévu dans l'art antérieur de disposer à l'intérieur du boîtier des résistances de céramique mais ceci présente plusieurs inconvénients. Un premier inconvénient réside dans le prix élevé des résistances céramiques elles-  
30 même. Un deuxième inconvénient réside dans l'encombrement impor-

tant dû au fait que cette solution nécessite autant de résistances qu'il y a de puces à mettre en parallèle. Un troisième inconvénient réside dans l'augmentation des coûts liée à la complication de la connectique interne au boîtier. Un quatrième inconvénient réside dans le fait que cette association de composants de nature distincte à l'intérieur d'un même boîtier entraîne des contraintes d'ordre technologique sur les étapes de fabrication qui peuvent être relativement complexes à résoudre.

Un objet de la présente invention est de prévoir un mode de montage en parallèle de plusieurs transistors MOS de puissance dans un boîtier unique avec des résistances de grilles prévues entre la cosse de grille et chaque puce de transistor MOS de puissance individuelle, ce montage étant particulièrement simple à réaliser, d'un coût peu élevé et compatible avec les technologies habituelles de fabrication de composants semiconducteurs.

Pour atteindre cet objet, la présente invention prévoit un montage en parallèle de puces de transistors MOS de puissance dans un boîtier unique, comprenant une embase métallique sur laquelle est brasée une plaquette thermiquement conductrice et électriquement isolante sur laquelle sont brasés, d'une part, une plaque métallique munie d'une cosse d'électrode de drain sur laquelle sont brasées les faces arrière de drain desdites puces, d'autre part, des prolongements des cosses de grille et de source auxquels sont reliées par des fils les zones de grille et de source desdites puces, dans lequel le prolongement de la cosse de grille est électriquement relié à la face arrière d'un élément semiconducteur dont la face avant comprend plusieurs zones métallisées auxquelles sont respectivement reliés les fils de grilles, ledit élément formant une même résistance entre chacune des zones métallisées et sa face arrière.

Selon un mode de réalisation de la présente invention, ledit élément semiconducteur est brasé par sa face arrière sur le prolongement de la cosse de grille.

Selon un mode de réalisation de la présente invention, ledit élément comprend une barrette de silicium d'un type de conductivité choisi, la face arrière de cette barrette étant surdopée et métallisée, et la face avant de cette barrette comprenant des zones surdopées métallisées séparées par des régions résistantes, les surdopages étant du même type de conductivité que le corps de la barrette.

Il résulte du mode de montage selon l'invention les avantages suivants :

- 10 - un faible coût,
- un encombrement réduit, en effet toutes les résistances sont réunies sur une même barrette de faible encombrement voisine de la cosse de grille et ceci permet d'utiliser sans modification un boîtier classique,
- 15 - une technologie d'assemblage identique à celle utilisée pour les puces de transistors MOS de puissance,
- la barrette de résistance étant réalisée selon la même technologie de fabrication de semiconducteurs que les transistors MOS eux-mêmes, une source d'économie pour le fabricant des transistors MOS puisque cette fabrication est compatible avec ses autres fabrications.

Ces objets, caractéristiques et avantages ainsi que d'autres de la présente invention seront exposés plus en détail dans la description suivante de modes de réalisation particuliers faite en relation avec les figures jointes parmi lesquelles :

les figures 1 et 2 représentent une vue de dessus et une vue en bout, respectivement, d'un boîtier classique de transistors de puissance ;

La figure 3 représente une modification du boîtier selon la présente invention ;

les figures 4A à 4F représentent des étapes successives de fabrication d'un élément semiconducteur utilisé selon la présente invention ; et

la figure 5 représente le schéma équivalent de l'élément de la figure 4.

Dans ces figures, de mêmes références désignent de mêmes éléments. D'autre part, on notera que les divers éléments ou  
5 couches ne sont pas représentés à l'échelle mais que l'échelle est arbitrairement dilatée ou rétrécie d'une figure à l'autre ou à l'intérieur d'une même figure pour faciliter la lisibilité de ces figures.

Les figures 1 et 2 représentent une vue de dessus et une  
10 vue en bout d'un boîtier classique de transistors de puissance. Ce boîtier comprend une embase métallique 1 destinée à être montée sur un radiateur. Cette embase est généralement constituée d'une plaque de cuivre étamé pouvant avoir une épaisseur supérieure au millimètre. Sur cette embase, est disposée une plaquette 2 d'un  
15 matériau thermiquement conducteur et électriquement isolant, couramment une plaquette de céramique, dont la face inférieure est métallisée pour permettre son brasage sur l'embase 1 et dont la face supérieure est métallisée localement pour permettre sa brasure avec des plaques métalliques qui y seront posées et dont cer-  
20 taines doivent être isolées entre elles comme on le verra ci-après. Sur cette plaquette de céramique 2 est brasée une plaque métallique 4 de dimension légèrement supérieure à celle de la plaquette et comprenant une cosse en débordement 5. D'autres cosses 6, 7 et 8 comprennent des prolongements 10, 11 et 12 également  
25 brasés sur la plaquette de céramique et isolés entre eux et de la plaque 4.

De façon classique, sur la plaque 4 sont montés des transistors de puissance dont les faces arrière correspondent aux collecteurs qui se trouvent tous interconnectés et auxquels on ac-  
30 cède par la cosse 5. Les bases de ces transistors sont toutes reliées au prolongement 10 de la cosse 6 et les émetteurs de ces transistors sont tous reliés au prolongement 11 de la cosse 7 qui est connecté au prolongement 12 de la cosse 8 par un conducteur 13

et/ou par une métallisation présente sur la face supérieure de la plaquette 2. Dans l'exemple représenté, il est prévu cinq puces semiconductrices désignées par les références 21 à 25.

Selon la présente invention, on envisage le cas où les  
 5 <sup>clips</sup> puces semiconductrices 21 à 25 sont des puces de transistors à effet de champ de puissance (MOSFET) dont la face arrière est le drain, c'est-à-dire que la <sup>Assell</sup> cosse 5 est la cosse de drain, et dont les faces avant portent des zones de contact de <sup>3 rails</sup> grille et de source. Les zones de contact de source sont reliées par des fils  
 10 conducteurs au prolongement 11 de la cosse de source 7. Les zones de contact de grille sont reliées par des fils à un élément semiconducteur 30 formant résistance, d'une façon qui apparaît mieux en figures 3A et 3B.

Comme le montrent les figures 3A et 3B, l'élément semi-  
 15 conducteur 30 a la forme d'une barrette ayant sensiblement les mêmes dimensions que le prolongement 10 de la cosse de grille 6. Cet élément comprend des zones de contact 31 (cinq dans l'exemple représenté puisqu'il y a cinq transistors MOSFET), chacune des ces zones de contact étant reliée par un fil à l'une des zones de  
 20 contact de grille des transistors MOSFET 21 à 25. Cet élément semiconducteur présente une même résistance de valeur choisie entre chacune des zones de contact 31 sur sa face avant et sa face arrière. Dans le mode de réalisation de la figure 3A, l'élément semiconducteur en forme de barrette est directement brasé par sa  
 25 face arrière sur le prolongement 10 de la <sup>6</sup> cosse 6. Dans l'exemple de la figure 3B, l'élément semiconducteur 30 est brasé sur la plaquette en céramique 2 par sa face arrière, et une métallisation 32 sur la plaquette 2 relie cette face arrière au prolongement 10 de la cosse 6.

30 De façon classique, une fois les connexions réalisées, une résine d'encapsulation destinée à protéger les composants et les connexions est moulée ou injectée sur l'embase métallique, par exemple selon le contour représenté en pointillés en figure 2.

Les figures 4A à 4F représentent un exemple de procédé de fabrication simple d'un élément semiconducteur selon la présente invention.

La figure 4A représente une barrette de silicium 41. Le  
5 silicium a par exemple un type de conductivité N.

La figure 4B représente la barrette de silicium dont les deux faces sont recouvertes d'une couche d'oxyde de silicium 42.

La figure 4C représente la même barrette après une étape de photolithogravure, d'où il résulte que l'oxyde de silicium est  
10 éliminé sur la face arrière et enlevé en cinq emplacements sur sa face avant.

La figure 4D représente la barrette de silicium après une étape de diffusion d'un dopant de même type de conductivité que celui de la barrette de silicium initiale pour obtenir sur la  
15 face arrière une couche  $N^+$  uniforme et sur la face avant des zones  $N^+$  localisées dans les ouvertures de l'oxyde. Au cours de cette étape les surfaces apparentes des zones  $N^+$  sont généralement légèrement oxydées.

La figure 4E représente la barrette après désoxydation.

20 A la figure 4F, on forme des métallisations 44 et 45, respectivement, sur la face supérieure de façon localisée et sur la face inférieure uniformément. Il pourra s'agir d'une métallisation d'aluminium. Après cela, on peut prévoir sur l'aluminium le dépôt d'un sandwich tel que du titane-nickel-or sur la face arrière  
25 re pour faciliter la brasure sur le support.

Bien entendu, ces barrettes ne sont pas formées individuellement mais réalisées sur des plaquettes de silicium de grande dimension qui sont ensuite découpées selon la forme choisie.

Comme le représente la figure 5, on obtient donc entre  
30 les métallisations supérieures et la métallisation inférieure des résistances série de grille respectives  $R_{SG1}$  à  $R_{SG5}$  ainsi que des résistances latérales entre grilles  $R_p$ .

Dans une réalisation pratique, avec une plaquette de silicium d'une épaisseur de 400  $\mu\text{m}$  d'une résistivité de 6,5 ohms-cm, on a obtenu des valeurs de résistances série de 15 ohms et des valeurs de résistances latérales de l'ordre de 55 ohms avec une distance entre zones surdopées de l'ordre de 700  $\mu\text{m}$ .

Ces valeurs des résistances série et des résistances latérales sont facilement ajustables en choisissant le niveau de dopage du substrat de base et la profondeur de pénétration des couches surdopées 43.

10 Ce qui précède ne constitue qu'un exemple de réalisation d'élément semiconducteur adapté à être monté de la façon illustrée par exemple en figures 3A et 3B. D'autres techniques compatibles avec les techniques habituelles de fabrication des semiconducteurs pourront être utilisées.



REVENDICATIONS

1. Montage en parallèle de puces de transistors MOS de puissance dans un boîtier unique, comprenant une embase métallique (1) sur laquelle est brasée une plaquette thermiquement conductrice et électriquement isolante (2) sur laquelle sont brasés, d'une part, une plaque métallique (4) munie d'une cosse d'électrode de drain (5) sur laquelle sont brasées les faces arrière de drain desdites puces, d'autre part, des prolongements (10, 11) des cos-  
5 ses de grille (6) et de source (7) auxquels sont reliées par des fils les zones de grille et de source desdites puces,

caractérisé en ce que le prolongement (10) de la cosse  
10 de grille est électriquement relié à la face arrière d'un élément semiconducteur (30) dont la face avant comprend plusieurs zones métallisées (31) auxquelles sont respectivement reliés les fils de grille, ledit élément formant une même résistance entre chacune des zones métallisées et sa face arrière.

15 2. Montage en parallèle selon la revendication 1, caractérisé en ce que ledit élément semiconducteur (30) est brasé par sa face arrière sur le prolongement (10) de la cosse de grille (6).

3. Montage selon la revendication 1, caractérisé en ce  
20 que ledit élément comprend une barrette de silicium d'un type de conductivité choisi, la face arrière de cette barrette étant surdopée et métallisée, et la face avant de cette barrette comprenant des zones surdopées métallisées séparées par des régions résistantes, les surdopages étant du même type de conductivité que le  
25 corps de la barrette.

4. Montage selon l'une quelconque des revendications 1 à 3, caractérisé en ce qu'un produit d'encapsulation recouvre les éléments fixés sur l'embase métallique.

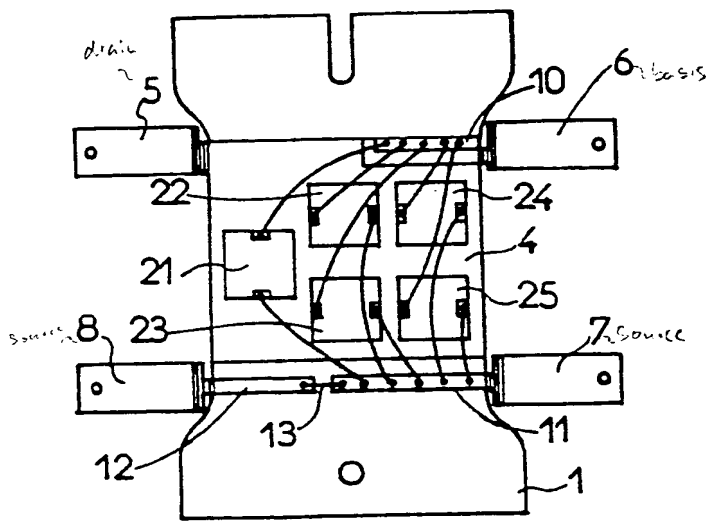


Fig 1

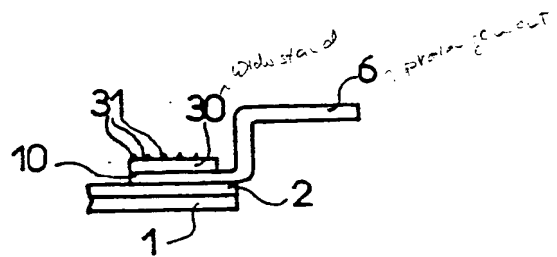


Fig 3A

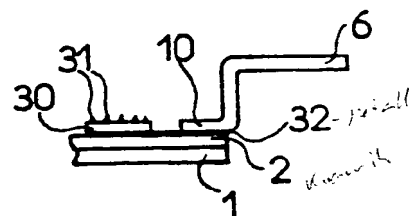


Fig 3B

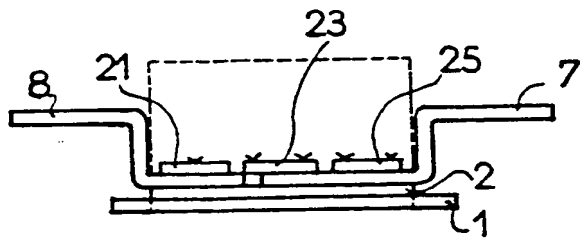


Fig 2

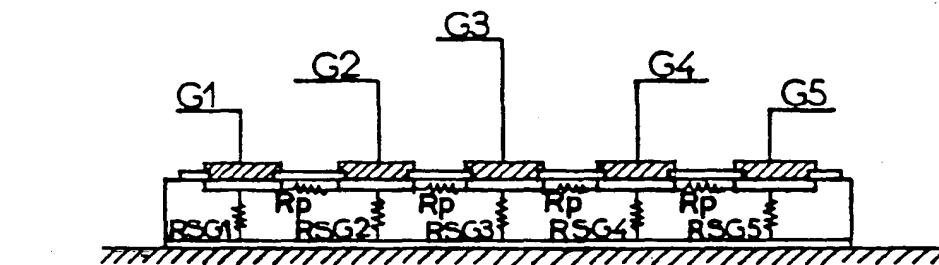
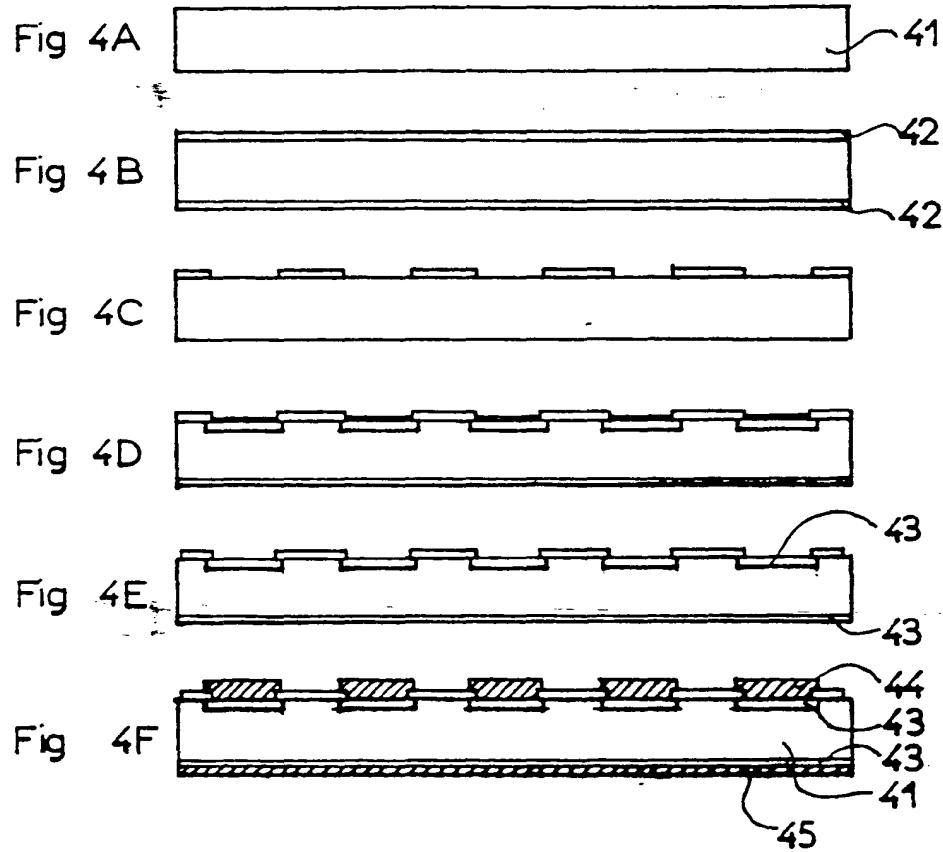


Fig 5

1